

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-335634
 (43)Date of publication of application : 17.12.1996

(51)Int.CI.
 H01L 21/768
 H01L 21/28
 H01L 21/283
 H01L 21/3065

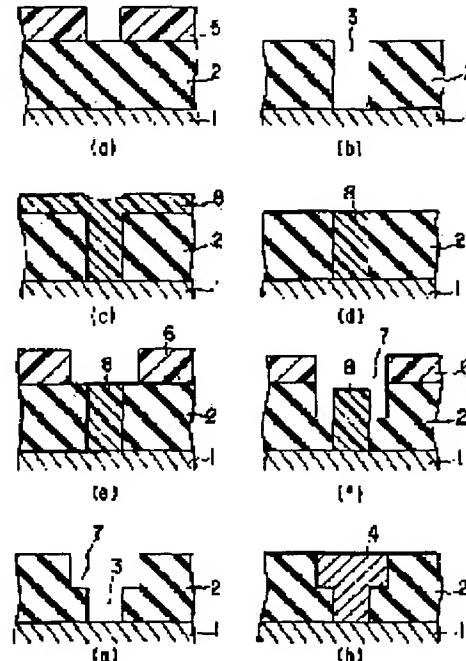
(21)Application number : 07-142044 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 08.06.1995 (72)Inventor : NAKAMURA KAZUHIKO

(54) MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a manufacturing method for a semiconductor device wherein variation in the form of a contact hole and etching of a conductor are prevented when a wiring burying groove is formed.

CONSTITUTION: Relating to a manufacturing method for a semiconductor device, an inter-layer insulation film 2 is deposited on a conductor 1, and then, with a resist layer 5 having a pattern of a contact hole formed on the inter-layer film 2 as a mask, the inter-layer film 2 is opened for the conductor 1 to be exposed, and the resist layer 5 is removed, and then, on a contact hole 3 and the inter-layer film 2, organic compound 8 whose selection ratio is lower than 1/2 against the etching of the inter-layer film 2 is applied, and, the organic compound 8 is left only in the hole 3 and removed from the surface of the inter-layer film 2. And, with a resist layer 6, which is formed on the inter-layer film 2 including the hole 3 in which the organic compound 8 is left and has a pattern of a burying wiring groove, as a mask, the inter-layer film 2 is etched to the specified depth, and the organic compound 8 left in the hole 3 and the resist layer 6 are removed at the same time, and a conductor material is deposited in the hole 3 and the wiring groove.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-335634

(43)公開日 平成8年(1996)12月17日

(51)Int.C1.⁶
H01L 21/768
21/28
21/283
21/3065

識別記号

F I
H01L 21/90
21/28
21/283
21/302

C
L
P
J

審査請求 未請求 請求項の数 2 O L (全5頁)

(21)出願番号

特願平7-142044

(22)出願日

平成7年(1995)6月8日

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

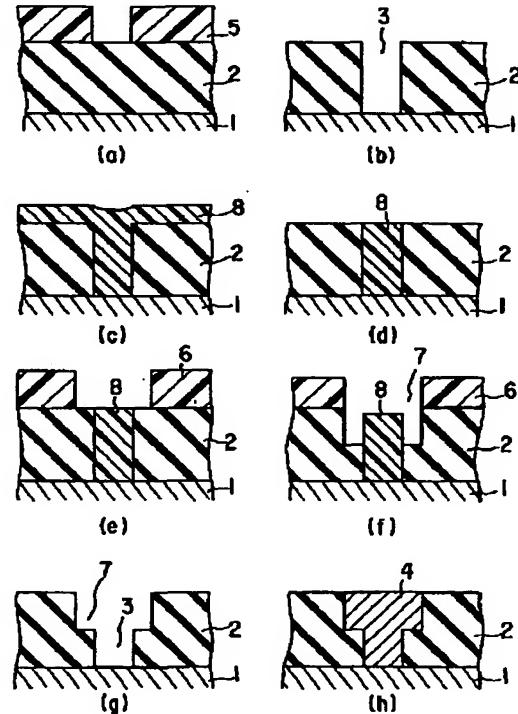
(72)発明者 中村一彦
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
(74)代理人 弁理士 鈴江武彦

(54)【発明の名称】半導体装置の製造方法

(57)【要約】

【目的】配線埋込み溝の形成時にコンタクトホールの形状変化と導電体のエッティングを防止する半導体装置の製造方法を提供する。

【構成】本発明の半導体装置の製造方法は、導電体1上に層間絶縁膜2を堆積し、層間膜2上に形成されたコンタクトホールのパターンを有するレジスト層5をマスクとして層間膜2を開口して導電体1を露出し、レジスト層5を除去し、コンタクトホール3と層間膜2上に、層間膜2のエッティングに対して選択比1/2以下を有する有機化合物8を塗布し、有機化合物8をホール3内のみに残存させ層間膜2の表面から除去し、有機化合物8が残存したホール3を含む層間膜2上に形成された埋め込み配線溝のパターンを有するレジスト層6をマスクとして層間膜2を所定の深さまでエッティングし、ホール3内に残存する有機化合物8とレジスト層6を同時に除去し、ホール3と配線溝内に導電体材料を堆積する。



【特許請求の範囲】

【請求項 1】 第 1 の導電体上に層間絶縁膜を堆積する工程と、前記層間絶縁膜上にコンタクトホールのパターンを有する第 1 のレジスト層を形成する工程と、この第 1 のレジスト層をマスクとして前記層間絶縁膜を開口し前記第 1 の導電体を露出させてコンタクトホールを形成する工程と、前記第 1 のレジスト層を除去する工程と、前記コンタクトホールと前記層間絶縁膜上有機化合物を塗布して前記コンタクトホールを有機化合物で満たす工程と、前記有機化合物を前記コンタクトホール内のみに残存させて前記層間絶縁膜の表面から除去する工程と、前記有機化合物が残存した前記コンタクトホールを含む前記層間絶縁膜上に埋め込み配線溝のパターンを有する第 2 のレジスト層を形成する工程と、この形成された第 2 のレジスト層をマスクとして前記層間絶縁膜を前記層間絶縁膜の所定の深さまでエッティングする工程と、前記コンタクトホール内に残存する有機化合物と前記第 2 のレジスト層を同時に除去する工程と、有機化合物の除去されたコンタクトホールとエッティングされた配線溝内に導電体材料を堆積する工程とを具備し、前記有機化合物は前記第 2 のレジスト層をマスクとした層間絶縁膜のエッティングに対してエッティング選択比が 1/2 以下であることを特徴とする半導体装置の製造方法。

【請求項 2】 前記有機化合物はノボラック樹脂と有機溶剤の混合物またはレジスト材であることを特徴とする前記請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の多層配線を形成する方法の 1 つである埋め込み配線技術に関するもので、とくに配線埋め込み溝を層間絶縁膜に形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体装置の高集積化に伴い、半導体素子間を接続する配線技術もまた、さまざまな問題に直面している。図 2 は層間絶縁膜 2 により分離された導電体 1 および導電体 4 をコンタクト 3a により接続する部分の上面図である。従来、最も一般的に用いられているコンタクトおよび配線の製造方法を図 3 を用いて説明する。図 3 は図 2 の A-A' 断面図である。例えば基板上の拡散層、あるいはポリシリコンなどの第 1 の導電体 1 上に層間絶縁膜 2 を堆積し、その上に塗布された第 1 のレジスト層 5 にコンタクトのパターンを露光して食刻する(図 3 の (a))。このバーニングされたレジスト層 5 をマスクとして層間絶縁膜 2 をエッティングし第 1 の導電体 1 を露出させた後、レジスト層を除去し、コンタクトホール 3 を形成する(図 3 の (b))。その後、例えば Al 系金属などの第 2 の導電体 9 を堆積し、その上に塗布された第 2 のレジスト層 6 に配線のパターンを食刻する(図 3 の (c))。このバーニングされたレジ

スト層 6 をマスクとして第 2 の導電体 9 をエッティングして配線 4 が完成する(図 3 の (d))。

【0003】 しかし、半導体装置の高集積化に伴い、半導体素子の集積密度を高くするために素子の微細化と共に配線が多層化され、層間絶縁膜の平坦化が充分になされず、表面の高低差はますます増大する傾向にある。このため、配線パターンの露光時に、この高低差による解像度の劣化あるいは位置合わせ精度の劣化という問題が生じる。また、コンタクトホールの高さに対する幅の比(アスペクト比)の増大により、配線のために A1 などの金属を堆積した時に、図 3 の (d) に 10 で示すようにこのコンタクトホール内に充分に金属が堆積されず、コンタクト抵抗の増大や、配線の断線という問題も招いてしまう。

【0004】 上述の問題を解決するために図 4 に示す製造方法がある。これは配線による高低差の低減とコンタクトホールのアスペクト比の低減を目的として、配線を配線溝内に埋め込む方法である。前述の製造方法と同様に導電体 1 上の層間絶縁膜 2 にコンタクトホール 3 を開口し、導電体 1 を露出する。この後第 2 のレジスト層 6 をコンタクトホール 3 と層間絶縁膜 2 上に塗布し、配線溝のパターンを露光し、食刻する(図 4 の (b))。このバーニングされたレジスト層 6 をマスクとして、層間絶縁膜 2 をエッティングし、配線溝を形成する。さらに配線金属膜 9 をコンタクトホール 3 、配線溝、および層間絶縁膜 2 上に堆積し(図 4 の (c))、この金属膜 9 がコンタクトホール 3 と配線溝内にのみ残存するようにエッティングし埋め込み配線が完成する(図 4 の (d))。

【0005】 図 3 (d) と図 4 (d) を比較すればわかるように、第 2 の方法によれば配線が完成した後の表面の断差がなくなり、その後の層間膜平坦化工程が容易になる。また、図 3 (c) のように配線金属を堆積する前にコンタクトホールの上部を拡げることができると、金属がコンタクトホールの内部に堆積されやすい形状に改善されている。

【0006】

【発明が解決しようとする課題】 しかし、このような従来の埋め込み配線の製造方法においては、レジスト層 6 をマスクとして層間絶縁膜 2 をエッティングし配線溝を形成する時に、コンタクトホール 3 内において露出している第 1 の導電体も同時にエッティングされてしまう。このため第 1 の導電体がコンタクトホール内においてエッティングされて一部が失われ、あるいはエッティングにより第 1 の導電体の構造が変化するようなダメージを受け、コンタクト抵抗が増加したり、拡散層の場合にはリーク電流が増加するといった問題がある。

【0007】 また、このような問題点を回避するために、配線溝を形成する時の層間絶縁膜のエッティングレートを第 1 の導電体のエッティングレートに比べて非常に高

く設定する必要があり、このような第1の導電体に対する高い選択比と、さらにレジスト層に対する高い選択比と、好ましい形状に加工できるエッティング条件を見出だすことは非常に困難である。

【0008】さらに、配線溝を形成する時にエッティングの反応種がコンタクトホール3内に侵入し、コンタクトホール3の側面が横方向にエッティングされてコンタクトの面積が増加し、素子の微細化の障害となる。また、コンタクトホール3の形状が歪み、例えば側壁の底面に近い側が上方より多く横方向にエッティングされ、A1などの金属がコンタクトホール3内に充分に堆積されないといった問題が生じる。

【0009】本発明の目的は、埋め込み配線の製造方法において、コンタクトホール内の第1の導電体のエッティングとコンタクトホールの形状変化とを防止することができ、コンタクトの特性向上と、埋め込み配線の高品質化を図ることができる半導体装置の製造方法を提供することである。

【0010】

【課題を解決するための手段】上記課題を解決し目的を達成するために、本発明の半導体装置の製造方法は、第1の導電体上に層間絶縁膜を堆積する工程と、前記層間絶縁膜上にコンタクトホールのパターンを有する第1のレジスト層を形成する工程と、この第1のレジスト層をマスクとして前記層間絶縁膜を開口し前記第1の導電体を露出させてコンタクトホールを形成する工程と、前記第1のレジスト層を除去する工程と、前記コンタクトホールと前記層間絶縁膜上有機化合物を塗布して前記コンタクトホールを有機化合物で満たす工程と、前記有機化合物を前記コンタクトホール内のみに残存させて前記層間絶縁膜の表面から除去する工程と、前記有機化合物が残存した前記コンタクトホールを含む前記層間絶縁膜上に埋め込み配線溝のパターンを有する第2のレジスト層を形成する工程と、この形成された第2のレジスト層をマスクとして前記層間絶縁膜を前記層間絶縁膜の所定の深さまでエッティングする工程と、前記コンタクトホール内に残存する有機化合物と前記第2のレジスト層を同時に除去する工程と、有機化合物の除去されたコンタクトホールとエッティングされた配線溝内に導電体材料を堆積する工程とを具備し、前記有機化合物は前記第2のレジスト層をマスクとした層間絶縁膜のエッティングに対してエッティング選択比が1/2以下であることを特徴とする。

【0011】

【作用】本発明による半導体装置の製造方法では、コンタクトホール形成後、このコンタクトホール内に有機膜を残存させた状態で埋め込み配線溝を形成するためのエッティングを行い、この有機膜はこのエッティングに対して耐性を有するため、エッティングのための反応種がコンタクトホール内に侵入することを抑制し、コンタクトホー

ル内の第1の導電体のエッティングとコンタクトホールの形状変化とを防止することができ、コンタクトの特性向上と、埋め込み配線の高品質化を図ることができる。

【0012】

【実施例】以下、本発明の実施例について図面を参照して説明する。図1は埋め込み配線製造の各工程における図2のA-A'断面図である。例えば基板上の拡散層、ポリシリコン、あるいは多層配線における各配線層などの第1の導電体1上に層間絶縁膜2を堆積し、その上に塗布された第1のレジスト層5にコンタクトのパターンを露光して食刻する(図1の(a))。このバーニングされたレジスト層5をマスクとして層間絶縁膜2をエッティングし第1の導電体1を露出させた後、レジスト層を除去し、コンタクトホール3を形成する(図1の(b))。この後、従来と異なり本実施例では、例えばノボラック樹脂と有機溶剤の混合物等の液体状の有機膜8をコンタクトホール3と層間絶縁膜2上に塗布し(図1の(c))、反応性イオンエッティングまたは酸素プラズマ中の灰化などにより全面エッティングを行い、この

20 有機膜8をコンタクトホール3内にのみ残存させる(図1の(d))。この状態で第2のレジスト層6をコンタクトホール3に埋め込まれた有機膜8と層間絶縁膜2上に塗布し配線溝のパターンを露光し、食刻する(図1の(e))。このバーニングされたレジスト層6をマスクとして、層間絶縁膜2をエッティングし、配線溝7を形成する(図1の(f))。この後、バーニングされたレジスト層6とコンタクトホール3に埋め込まれた有機膜8を、酸素プラズマ中の灰化およびレジスト層除去用のエッティング液により同時に除去する(図1の(g))。この後は従来と同様に、配線金属膜9をコンタクトホール3、配線溝7、および層間絶縁膜2上に堆積し、この金属膜9がコンタクトホール3と配線溝7内にのみ残存するように、例えばCMP(ケミカルメカニカルポリッシング)等の埋め込み用研磨によりエッティングを行い、埋め込み配線4が完成する(図1の(h))。

【0013】ここで、有機膜8としてノボラック樹脂と有機溶剤の混合物を用いたが、第2のレジスト層6をマスクとした層間絶縁膜2のエッティングに対してエッティングレートが1/2以下を有するものであれば、どのような物質でも構わない。ただし、層間絶縁膜2のエッティングに対してエッティング選択比1/2以下を有する必要があるということ、およびその後レジスト層6と同時に除去することができるということの2点より、レジスト材もしくはレジストと同質の材料を使用することが望ましい。

【0014】本実施例による埋め込み配線の製造方法では、埋め込み配線溝を形成するためのエッティングを行う時に、すでに開口されているコンタクトの内部が液体状の有機膜により埋め込まれているため、配線溝を形成す

るエッティングのための反応種がコンタクトホールの内部に侵入することを防止することができる。このため、コンタクトの内部の第1の導電体がエッティングされたり、エッティングにより第1の導電体がダメージを受けることによる起因するコンタクトの抵抗増加を抑制することができる。また、コンタクトが横方向にもエッティングされ、面積が増大するために素子の微細化が妨げられるという問題を解決することができる。さらにコンタクトホールの形状が変化し、A1等の金属がコンタクトホール内に充分に堆積されないことに起因するコンタクト抵抗の増大を抑制することができる。

【0015】本発明による埋め込み配線の製造方法では、コンタクトホールに埋め込んだ有機膜8はレジスト層6と共に除去することができるため、有機膜の埋め込み工程のみを追加すればよく、わずかな工程変更でコンタクト特性の大幅な向上を図ることができる。

【0016】さらに、本実施例による埋め込み配線の製造方法では、埋め込み配線溝を形成するためのエッティングを行う時に、すでに開口されているコンタクトの内部が液体状の有機膜により埋め込まれているため、エッティングの条件を設定する時に第1の導電体のエッティングレートを考慮する必要がないので、エッティング条件を容易に設定することが可能である。また、同様に第1の導電

体のエッティングレートを考慮する必要がないので、エッティングのウェハ面内のばらつきを低減するためのオーバーエッティングを充分に行うことができ、プロセスマージンが向上し、均一性に優れたコンタクト特性を得ることが可能である。

【0017】

【発明の効果】以上のように本発明による半導体装置の製造方法によれば、わずかな工程変更で、コンタクトホール内における第1の導電体のエッティングとコンタクトの形状変化を抑制し、コンタクトの特性向上と、埋め込み配線の高品質化を図る半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を示す断面図。

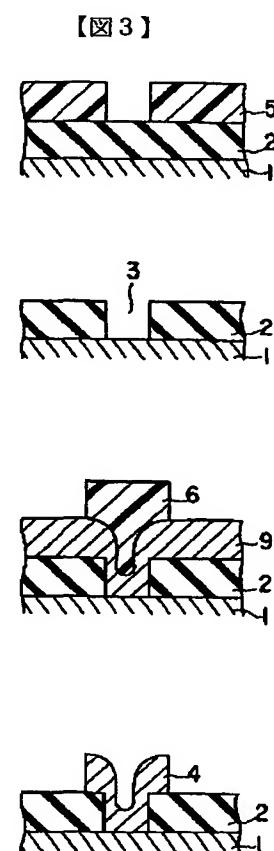
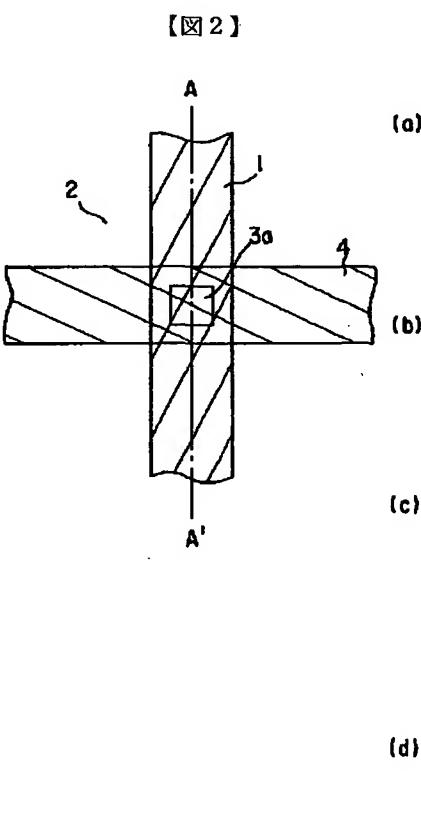
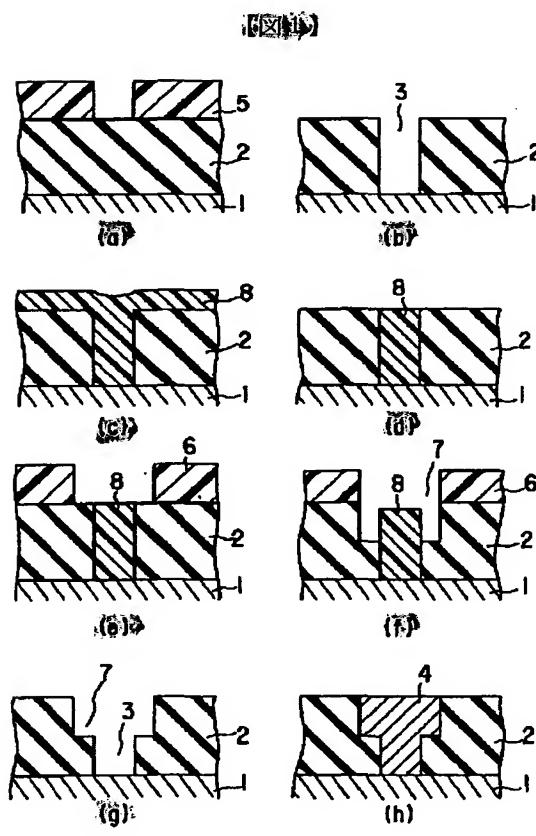
【図2】本発明の実施例によるコンタクトの上面図。

【図3】従来の半導体装置の製造方法を示す断面図。

【図4】従来の半導体装置の製造方法を示す断面図。

【符号の説明】

1…第1の導電体、2…層間絶縁膜、3…コンタクトホール、3a…コンタクト、4…金属配線、5、6…レジスト層、7…配線溝、8…有機膜、9…金属膜、10…金属膜の空間部



【図 4】

